Рубан А.А.
Козырев А.Н.
13.09.2002
Версия 2.00

Проект Интерфейсов Первичного Триггера (ИПТ) КМД-2М.

Данный проект в первую очередь ориентирован на взаимодействие с платами T2Q системы сбора данных Дрейфовой Камеры, возможно Z-камеры, если ее электроника будет модернизироваться, а так же другими системами, размещаемыми в крейтах КАМАК, например с калориметрами, если Платы Формирователей будут оснащены дискриминаторами.

В новой системе сбора данных КМД-2М решено для передачи сигналов FOR-ов информационных плат использовать линии R и W магистрали КАМАК в количестве 48 штук. Такое использование линий КАМАК возможно без нарушения Стандарта, так как во время набора статистики все информационные платы уже загружены начальными состояниями и Крейт-Контроллер более не предпринимает попыток захватить магистраль. В соответствии со Стандартом КАМАК FOR-ы выдаются на линии уровнем Открытый Коллектор или совместимым, что позволяет осуществлять Монтажное ИЛИ сигналов от каналов, принадлежащих одной логической группе (ячейке триггера), но размещенных в разных платах.
Функциональная схема тракта передачи данных ИПТ приведена на Рис. 1.

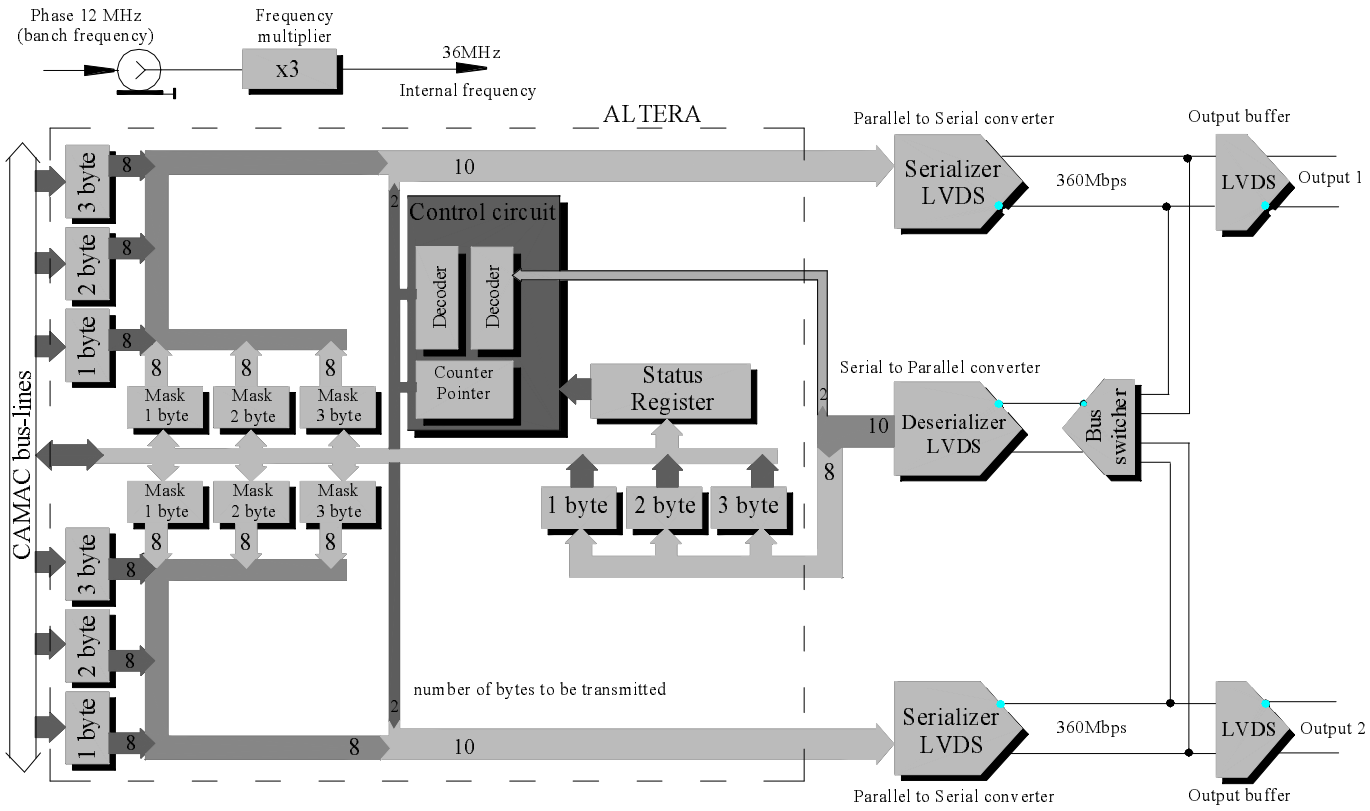

Рис. 1 Блок-схема Интерфейса Первичного Триггера.

Так как, с одной стороны, события порождаются в момент столкновения пучков в коллайдере, а с другой стороны, запуски Первичного Триггера привязываются к

частоте обращения этих пучков - Фазе, логично, чтобы и ИПТ функционировал с частотой обращения пучка в накопителе (примерно 12 МГц для ВЭПП-2000).

В соответствии с сигналом Фаза ИПТ защелкивает состояние R и W магистралей КАМАК во входных регистрах. Затем с помощью схемы управления (Control circuit) 48-разрядный позиционный код преобразуется в два потока по 3 8-разрядных слова, которые поступают на входы специализированных Serializer-ов. Номер байта в каждой тройке помечается дополнительными двумя битами, Поэтому размерность слова на входе Serializer-а составляет 10бит. Далее производится преобразование потоков из бит-параллельного байт-последовательного (36МГц) в последовательный код (360Мбит/с). Данные в этом коде через буфер поступают на выход блока. Этот буфер предназначен для формирования полного сигнала стандарта LVDS (Low Voltage Differential Signaling).

Таким образом, ИПТ передает временной «срез» картины поступивших FOR-ов на каждый такт Фазы, т.е. каждые 80нс. Когерентная задержка, связанная с процессом преобразования, составляет 1 такт Фазы.

Так как одним из основных факторов перехода на последовательный способ передачи была низкая надежность многопроводных параллельных магистралей, особое внимание уделяется самотестированию ИПТ. Для обеспечения полной само тестируемости блока он стандартным образом общается с Крейт-Контроллером и имеет следующие возможности. Запись-чтение 24-разрядного слова-маски в каждый поток для выдачи в последовательном коде, а также имеет Deserializer для обратного преобразования переданного слова-маски в параллельный 24-разрядный позиционный код, который затем доступен с магистрали КАМАК. Так как передача данных осуществляется на каждом фронте несущей частоты, то частота несущей составит около 200МГц, что вполне доступно для контроля при современных осциллографах с полосой 350МГц.

Помимо вышеописанного тракта передачи данных в ПТ, который надо считать основным, в ИПТ предусмотрен дополнительный тракт передачи данных в Систему Сбора Данных (Канал Аргументов (КА)), обеспечивающий возможность чтения аргументов триггера, вызвавших его срабатывание.

По каждому сигналу Фаза информация, защелкнутая во входных регистрах, копируется в буфер FIFO размерностью 16-ть 48-ми разрядных слов. Когда ПТ порождает сигнал «Общий Стоп», запись в буфер останавливается, сохраняя предысторию запуска Триггера. Передача данных из буфера в ССД осуществляется по медленному последовательному каналу, аналогичному каналам Информационных Плат.

В сервисные возможности включается наличие логического сумматора 48ИЛИ на входе блока, что позволит, например, набирать спектры Fe55 на дрейфовой Камере без использования Блока Трекфайндера.

Оценка стоимости и сравнение со старым (на один блок Интерфейса).

	Микро схемы	Разъемы, два конца	Кабель 10м	Нормо/ час	Источник питания, кондиц.	Электро Энергии за 5 лет	Всего
Последовательный LVDS	$50	$4	$20	10	$4	42кВт*ч	☺
Параллельный ECL	$2..50	$12	$50..100	40	$0..20	220кВт*ч	☻

Технические требования, поставленные при проектировании данного Блока Интерфейса Первичного Триггера (ИПТ) :

- входная тактовая частота (частота обращения пучка) 12 МГц
- внутренняя частота блока 36 МГц
- размер битового поля (число передаваемых бит) 48 бит
- формат передачи 360Мбит/с LVDS
- количество каналов 2
- объем буфера FIFO 16x6 байт
- скорость передачи КА 18Мбит/с
- формат исполнения КАМАК